

DRIVER ERROR COMPENSATION IN A FLAT PANEL DISPLAY**Publication number:** JP10503292T**Also published as:****Publication date:** 1998-03-24

WO9602908 (A1)

Inventor:

EP0770253 (A1)

Applicant:

US5625373 (A1)

Classification:

EP0770253 (A0)

- international: G09G3/20; G09G3/36; H04N5/66; G09G3/20;
 G09G3/36; H04N5/66; (IPC1-7): G09G3/36; G09G3/20;
 H04N5/66

EP0770253 (B1)

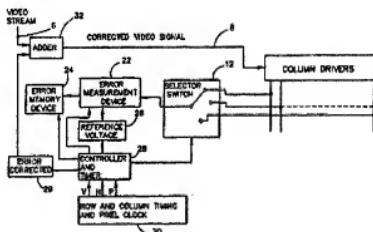
- European: G09G3/36C; G09G3/36C14

[more >>](#)**Application number:** JP19960505189T 19950714**Priority number(s):** WO1995US08892 19950714; US19940274936
 19940714[Report a data error here](#)

Abstract not available for JP10503292T

Abstract of corresponding document: **WO9602908**

A method and apparatus for providing error voltage compensation in a flat panel display. Voltage errors in a column driver for a flat panel display are compensated for by first measuring the voltage level at each column during a known signal level period and comparing it against a known or reference value. This voltage error signal is then stored in an error memory according to column location. During normal operation of the flat panel display, the memory is accessed every time a particular column is scanned. The error voltage is retrieved and added to the raw video signal in order to remove any voltage offset which is introduced in the column driver electronics. This error voltage compensation substance eliminates any streaking which may appear on a display screen.

Data supplied from the **esp@cenet** database - Worldwide

Family list10 family members for: **JP10503292T**

Derived from 7 applications

[Back to JP10503292T](#)**1 DRIVER ERROR COMPENSATION IN A FLAT PANEL DISPLAY****Inventor:** JOHNSON MICHAEL J (US)**Applicant:** HONEYWELL INC (US)**EC:** G09G3/36C; G09G3/36C14**IPC:** G09G3/20; G09G3/36; H04N5/66 (+4)**Publication info:** **CA2189660 A1** - 1996-02-01**CA2189660 C** - 2005-06-21**2 DRIVER ERROR COMPENSATION IN A FLAT PANEL DISPLAY****Inventor:** JOHNSON J (US)**Applicant:** HONEYWELL INC (US)**EC:** G09G3/36C; G09G3/36C14**IPC:** G09G3/20; G09G3/36; H04N5/66 (+4)**Publication info:** **DE69515307D D1** - 2000-04-06**3 DRIVER ERROR COMPENSATION IN A FLAT PANEL DISPLAY****Inventor:** JOHNSON J (US)**Applicant:** HONEYWELL INC (US)**EC:** G09G3/36C; G09G3/36C14**IPC:** G09G3/20; G09G3/36; H04N5/66 (+4)**Publication info:** **DE69515307T T2** - 2000-06-21**4 DRIVER ERROR COMPENSATION IN A FLAT PANEL DISPLAY****Inventor:** JOHNSON MICHAEL J (US)**Applicant:** HONEYWELL INC (US)**EC:** G09G3/36C; G09G3/36C14**IPC:** G09G3/20; G09G3/36; H04N5/66 (+4)**Publication info:** **EP0770253 A1** - 1997-05-02**EP0770253 B1** - 2000-03-01**5 DRIVER ERROR COMPENSATION IN A FLAT PANEL DISPLAY****Inventor:****Applicant:****EC:** G09G3/36C; G09G3/36C14**IPC:** G09G3/20; G09G3/36; H04N5/66 (+6)**Publication info:** **JP3675826B2 B2** - 2005-07-27**JP10503292T T** - 1998-03-24**6 Flat panel convergence circuit****Inventor:** JOHNSON MICHAEL J (US)**Applicant:** HONEYWELL INC (US)**EC:** G09G3/36C; G09G3/36C14**IPC:** G09G3/20; G09G3/36; H04N5/66 (+4)**Publication info:** **US5625373 A** - 1997-04-29**7 DRIVER ERROR COMPENSATION IN A FLAT PANEL DISPLAY****Inventor:** JOHNSON MICHAEL J**Applicant:** HONEYWELL INC (US)**EC:** G09G3/36C; G09G3/36C14**IPC:** G09G3/20; G09G3/36; H04N5/66 (+4)**Publication info:** **WO9602908 A1** - 1996-02-01

Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 表 特 許 公 報 (A)

(11)特許出願公表番号

特表平10-503292

(43)公表日 平成10年(1998)3月24日

(51)Int.Cl. ^a	識別記号	序内整理番号	F I
G 0 9 G 3/36		9471-5H	G 0 9 G 3/36
3/20		4237-5H	3/20
H 0 4 N 5/66	1 0 2	9186-5C	H 0 4 N 5/66 1 0 2 B

審査請求 未請求 予備審査請求 有 (全 29 頁)

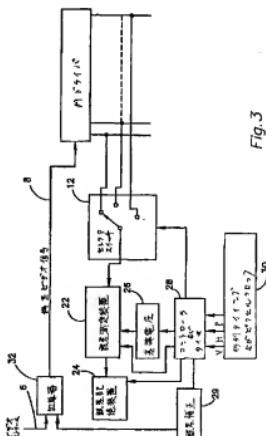
(21)出願番号 特願平8-505189
 (22)出願日 平成7年(1996)7月14日
 (85)翻訳文提出日 平成9年(1997)1月9日
 (86)国際出願番号 PCT/US95/08892
 (87)国際公開番号 WO96/02908
 (88)国際公開日 平成8年(1996)2月1日
 (31)優先権主張番号 08/274, 936
 (32)優先日 1994年7月14日
 (33)優先権主張国 米国(US)
 (81)指定国 EP(AT, BE, CH, DE,
 DK, ES, FR, GB, GR, IE, IT, LU, M
 C, NL, PT, SE), CA, JP

(71)出願人 ハネウエル・インコーポレーテッド
 アメリカ合衆国 55408 ミネソタ州・ミ
 ネアボリス・ハネウエル・プラザ(番地な
 し)
 (72)発明者 ジョンソン,マイケル・ジェイ
 アメリカ合衆国 85022 アリゾナ州・フ
 ィニックス・ノース セカンド・ストリ
 ート・12809
 (74)代理人 弁理士 山川 政樹 (外5名)

(54)【発明の名称】 フラットパネルディスプレイにおけるドライバ誤差補正

(57)【要約】

フラットパネルディスプレイにおける誤差電圧補償方法及びそのための装置。フラットパネルディスプレイの列ドライバの電圧誤差を、まず既知信号レベルの期間中に各列の電圧レベルを測定し、その電圧を既知の値または基準値と比較することによって補償する。この電圧誤差信号は、列の位置に基づいて誤差メモリに記憶する。フラットパネルディスプレイの正常動作時に、各特定列が走査される毎にメモリにアクセスする。列ドライバの電子回路には入り込む電圧オフセットを全て除去するために、メモリから誤差電圧を取り出し、生ビデオ信号に加える。この誤差電圧補償によって、表示画面に現れる可能性のあるストリークングを実質的になくすことができる。



【特許請求の範囲】

1. ビデオ信号列ドライバ入力を受け取ってフラットパネルディスプレイのピクセル列に画像信号を供給する複数の列ドライブ手段を有するフラットパネルディスプレイの電圧誤差補償を行うためのコンバーゼンス回路において：

該ドライブ手段各々から画像信号を受け取ると共に、該画像信号の大きさを既知の大きさの基準信号と比較する手段と；

該ドライブ手段によって出力される該画像信号と該基準信号との差に比例する誤差信号を記憶するための第1のメモリ手段で、該誤差信号が該誤差信号を発生したドライブ手段に対応するアドレスに従って記憶される第1のメモリ手段と；

現在ビデオ信号によってドライブされているドライブ手段に対応する誤差信号を該メモリ手段から取り出して、該誤差信号を修正し、その修正誤差信号を該ビデオ信号列ドライバ入力と結合して、該ドライブ手段の1つによってドライブされている列の電圧誤差補償を行う手段と；

を具備したフラットパネルディスプレイの電圧誤差補償を行うためのコンバーゼンス回路。

2. 上記画像信号が、ドライブされているドライブ手段への電気的接続を行うセレクタスイッチによって列から読み出される請求項1記載のフラットパネルディスプレイの電圧誤差補償を行うためのコンバーゼンス回路。

3. 上記基準信号が、基準電圧源によって供給され、該基準電圧源が上記セレクタスイッチと電気的に接続されている比較器によって上記画像信号の大きさと比較され、該比較器が上記誤差信号を上記メモリ手段に出力する請求項2記載のフラットパネルディスプレイの電圧誤差補償を行うためのコンバーゼンス回路。

4. 上記修正誤差信号をビデオ信号列ドライバ入力に加える加算器をさらに具備した請求項3記載のフラットパネルディスプレイの電圧誤差補償を行うためのコンバーゼンス回路。

5. マイクロコントローラまたはマイクロプロセッサを用いて、上記セレクタスイッチを制御し、上記メモリに記憶された誤差信号にアドレスを指定し、該誤差信号に比例する上記修正誤差信号を発生し、上記ビデオ信号列ドライバ入力及び現在ドライブされているドライブ手段と同期して上記加算器に供給する請求項4

記載のフラットパネルディスプレイの電圧誤差補償を行うためのコンバーゼンス回路。

6. 上記マイクロコントローラまたはマイクロプロセッサと電気的に接続されている第2のメモリ手段が上記修正誤差信号を記憶し、上記ビデオ信号列ドライバ入力と同期して該修正誤差信号を出力する請求項5記載のフラットパネルディスプレイの電圧誤差補償を行うためのコンバーゼンス回路。

7. 上記誤差信号が発生し、上記第1のメモリ手段に記憶されるとき、上記基準電圧源がゼロボルトであり、上記ビデオ信号列ドライバ入力がそれに対応したレベルになる請求項6記載のフラットパネルディスプレイの電圧誤差補償を行うためのコンバーゼンス回路。

8. 上記マイクロコントローラまたはマイクロプロセッサが上記ビデオ信号列ドライバ入力の大きさに従って上記基準電圧源の大きさを変化させる請求項6記載のフラットパネルディスプレイの電圧誤差補償を行うためのコンバーゼンス回路。

9. 上記セレクタスイッチが液晶ディスプレイの全ての列に各々接続されている請求項2記載のフラットパネルディスプレイの電圧誤差補償を行うためのコンバーゼンス回路。

10. 上記セレクタスイッチが上記各ドライブ手段の1列に接続されている請求項2記載のフラットパネルディスプレイの電圧誤差補償を行うためのコンバーゼンス回路。

11. 上記フラットパネルディスプレイが能動マトリクス型である請求項1記載のフラットパネルディスプレイの電圧誤差補償を行うためのコンバーゼンス回路。

12. 上記フラットパネルディスプレイが能動マトリクス型である請求項2記載のフラットパネルディスプレイの電圧誤差補償を行うためのコンバーゼンス回路。

13. ビデオ信号列ドライバ入力を受け取ってフラットパネルディスプレイのピクセル列に画像信号を供給する複数の列ドライブ手段を有するフラットパネルディスプレイの誤差信号を低減する方法において：

該フラットパネルディスプレイのピクセル列を何本か指定して監視するステップと；

上記ステップで指定された各ピクセル列がドライブされている間に該各ピクセ

ル列の信号強度を測定するステップと；

ドライブされている該指定されたピクセル列上の信号の大きさを基準信号と比較し、ドライブされている該ピクセル列上の信号と該基準信号との差である誤差信号を発生するステップと；

該誤差信号をドライブされている該ピクセル列に対応づけられたアドレスによって第1のメモリに記憶するステップと；

フラットパネルディスプレイの動作中に、該メモリから該誤差信号を取り出し、該誤差信号を修正し、その修正誤差信号を該誤差信号に対応する特定のピクセル列がドライブされている間にビデオ信号列ドライバ入力に加えるステップと；を具備したフラットパネルディスプレイの誤差信号を低減する方法。

1 4. 上記修正誤差信号がドライブされている該ピクセル列に対応する第2のアドレスによって第2のメモリに記憶され、該修正誤差信号が上記ビデオ信号列ドライバ入力に同期して該第2のメモリから取り出され該ビデオ信号列ドライバ入力に加えられる請求項1 3記載のフラットパネルディスプレイの誤差信号を低減する方法。

1 5. フラットパネルディスプレイが動作中でなく、上記ビデオ信号列ドライバ入力が既知の値である所定のテスト期間中に上記誤差信号を発生させる請求項1 3記載のフラットパネルディスプレイの誤差信号を低減する方法。

1 6. 上記ビデオ信号列ドライバ入力が上記テスト期間中対応するレベルにあるとき、上記基準信号がゼロボルトである請求項1 5記載のフラットパネルディスプレイの誤差信号を低減する方法。

1 7. 上記誤差信号をフラットパネルディスプレイの動作中に発生させ、該誤差信号を発生させるために使用した列信号をフラットパネルディスプレイ上に生成される画像に反映させる請求項1 3記載のフラットパネルディスプレイの誤差信号を低減する方法。

18. 上記基準信号が上記指定されたピクセル列上の信号の大きさに対応する請求項17記載のフラット・パネルディスプレイの誤差信号を低減する方法。

19. 上記各ドライブ手段のピクセル列の中の1列を指定して監視する請求項13記載の

フラットパネルディスプレイの誤差信号を低減する方法。

20. 上記各ドライブ手段の各ピクセル列を指定して監視する請求項13記載の
フラットパネルディスプレイの誤差信号を低減する方法。

21. 上記誤差信号を、フラットパネルディスプレイ上に生成される画像上で視
覚的に気にならないよう、フラットパネルディスプレイの動作中短い期間だけ発
生させる請求項13記載のフラットパネルディスプレイの誤差信号を低減する方
法。

【発明の詳細な説明】**フラットパネルディスプレイにおけるドライバ誤差補正****発明の分野**

本発明は、フラットパネルディスプレイに関し、より詳しくは、フラットパネルディスプレイにおけるストリーキング及びその他の表示異常を除去する技術に関する。

発明の背景

液晶表示装置（LCD）は、多くの用途でブラウン管（CRT）に取って代わることが可能な表示装置として開発されている。LCD技術は、信頼度が高く、電力消費、寸法及び重量が小さいなど、多くの長所がある。しかしながら、目下の開発の現状においては、LCDの画像レンダリング性能は、CRTで達成可能な性能には及ばない。本発明は、特にビデオ信号が黒画面を要求したとき表示画面上に縦ストリーキングが現れる技術上の問題を解消しようとするものである。

ストリーキング障害の原因は、まず典型的な液晶ディスプレイの動作について簡単に説明しておく方が理解し易い。周知のように、LCDは、行列状に整列された一連の液晶セルで構成されている。これらの液晶セルの間には行線及び列線が走っていて、入力ビデオ信号に従って個々のセルをオン／オフする電圧信号を伝達する。各特定の画素すなわちピクセルがどれだけオンになるかは、列線の電圧レベルによって制御される。たとえば、列線上の電圧0ボルトは、全「オフ」（黒）の画素であり、20ボルトは全「オン」の画素を示す等である。これらの電圧信号は、列ドライバによって列線に供給される。列ドライバは、生ビデオ信号と共にいくつかのクロックパルス及び同期パルスを受け取り、CRTの場合と同様、画素をラスタ走査形式でアクティブにするように列ドライバと同期して電圧信号を出力する。画素は、一時に1列当たり1画素（1行には多数の列がある）がアクティブになり、画像は連続的にリフレッシュされる。

LCDにおけるドライバ機構は、通常、相互に接続された一連の集積回路（IC）で構成される。それらの各ICは、一定数の全ての列に画像信号を送る役割

を有する。ディスプレイの動作中は、様々な発生源から電圧誤差が列線に入り込

む。ドライバ中の全ての電子部品は、列線上に送り出される信号にたとえ僅かでも電圧を付加する可能性がある。異なるICは、互いに異なる一組の列をドライブするので、IC間の僅かな差違でも列上を伝達される電圧レベルに差を生じ得る。

たとえば、20ボルト信号でドライブされたときピークグレー（白）となる直線状パネルがあると仮定する。このようなディスプレイの場合、線が約0.12ボルト低い電圧でドライブされた場合に最小可知差異（Just noticeable difference JND）が現れると思われる。この値は、人間の視覚モデルから導き出すことができる。このようなモデルによると、黒を表示する場合、あるJNDを得るために必要な輝度変化が小さいので、最悪の事態が起こる。その輝度は、列線を黒の場合より0.006ボルト高い電圧でドライブすることに相当する。要求される性能条件は、グラフィックスの場合で、電圧許容誤差が0～18ボルトの範囲において±3ミリボルトであるということを前提としている。この許容誤差範囲に従うことは、特に、ドライバに使用される標準的なCMOSオペアンプは通常±150ミリボルトのオフセットを呈するということから見て困難であろう。スイッチアレイ及び精密級電圧源を用いたドライバによる方法が最も優れた方法になっているが、この方法も、グレースケールがアナログのそれに近づく（すなわちグレーレベル数が多くなる）につれて、うまく対応できなくなっている。従って、液晶ディスプレイ用の電子回路設計における目標は、ドライバの動作範囲全体にわたって誤差電圧をなくすか、または大幅に低減することである。

本発明の目的は、液晶ディスプレイの電圧オフセット補償手段を提供することにより、ディスプレイの動作範囲全体にわたってストリーキングが生じないようすることにある。

発明の概要

本願は、フラットパネルディスプレイ用の誤差コンバーゼンス回路を開示するものである。本発明の誤差コンバーゼンス回路は、ビデオ信号を受け取り、液晶マトリクス中の個々の画素用の画像信号を列線を介して送り出す列ドライバを有

するフラットパネルディスプレイに実装される。誤差コンバーゼンス回路は、所

定の表示列上に送られる画像信号を受け取るようにドライバと電気的に接続されたセレクタスイッチ（セレクタスイッチ）を有する。このセレクタスイッチは、画像信号の電圧を基準電圧と比較する電圧測定手段である。これら2つの信号間の電圧差は、画像信号を出力する各ドライバとの一対一の対応関係を有する誤差信号としてメモリに記憶される。この誤差信号は、誤差信号が発生した各特定のドライバがドライブされる毎に、メモリから読み出され、修正されて、入来ビデオ信号に加えられる。

動作について説明すると、セレクタスイッチは、異なるドライバがそれぞれ列上に画像信号を送るとき、ある特定のドライバを選択し、ある列上の画像信号出力の振幅を測定する。この電圧信号は、基準値と比較され、基準値より高いか、または低いと、その差に比例する誤差信号がメモリに記憶される。以後、この特定ドライバがドライブされる毎に、メモリがアクセスされて、その記憶誤差値に比例する信号が電圧オフセットを補償するようにビデオストリームに加えられる。

この誤差信号をビデオストリームに加えることによって、ディスプレイ上に生じるストリーリングがなくなる。この誤差コンバーザンス回路は、各ドライバが、オペアンプ、トランジスタ、抵抗器、コンデンサなどを含むスイッチング素子により、また時間及び温度あるいは部品間変動を通じて積算される許容差により画像信号に導入され得る電圧誤差に関して補償されるように、各ドライバに入力される信号の大きさを変える。

図面の簡単な説明

図1は、従来技術のフラットパネルディスプレイシステムのブロック図である。

図2は、誤差コンバーザンス回路を実装した本発明の一実施形態のブロック図である。

図3は、誤差コンバーザンス回路の構成要素を示すブロック図である。

図4は、 2×5 フラットパネルディスプレイにおける行端クロック、最上行パルス及びピクセルクロック信号のタイミング図である。

図5は、本発明の第1の実施形態における1ドライバ当たり1本の列の組とセ

レクタスイッチとの間の電気的接続関係を詳細に示す図である。

図6は、本発明のもう一つの実施形態におけるドライバの各列とセレクタスイッチとの間の電気的接続関係を詳細に示す図である。

実施形態の説明

図1は、従来技術のフラットパネル表示システムの概略ブロック図である。図示のように、フラットパネルディスプレイ2は、液晶セルのマトリクスで形成されており、行ドライバ4及び列ドライバ10の両方に接続されている。これらのドライバは、どちらも複数のICドライバを含み、それら複数の各ICチップはそれぞれ一定数の行及び列にわたって画像信号を供給する。これらのドライバには、ピクセルクロック、行端クロック5及び最上行パルス3のような様々なクロック信号が供給される。これらの信号の機能については、以下にさらに詳しく説明する。また、列ドライバには、ビデオ信号6が供給される。ビデオ信号には、変換してフラットパネルディスプレイ2上に表示される画像情報が入っている。

動作について説明すると、ビデオ信号は、線を介して入力され、列ドライバ10に供給される。ビデオ信号は、列ドライバ10に供給されるとき、行長シフトレジスタ（またはフラットパネルの全ての組の列をカバーできるよう並列に動作する一組のシフトレジスタ）にクロック同期で入力される。列ドライバには、電圧レベル変換器、増幅器及び／またはスイッチ、及び行長レジスタファイル等が入っている。行端パルスが入力されると、データはシフトレジスタからレジスタファイルへ転送され、レジスタファイルからさらにレベル変換器及び増幅器、及び／またはスイッチへ転送される。このようにして、個々の列ドライバICチップは、画像信号を個々の列に転送する。画像を形成するため、列ドライバICは、行ドライバによって行線を介して伝送される信号と同期して個々の液晶セルをアクティブにする。

上記のような従来技術のフラットパネル表示システムの欠点の一つは、どの種類のドライバにも、無視できないような大きさのオフセットが出力にはっきり現れるということである。これには、スイッチ及びその他のドライバの構成要素が、ビデオ信号に電圧誤差を付加し、それが全ての列にわたって伝送されることが

考えられる。この電圧誤差は、画面上に縦ストリーキングとして現れる好ましくな

い視覚的アーティファクトを生じさせる。本発明の回路は、これらの縦ストリーケやアーティファクトを除去するためにフラットパネル表示システムに組み込まれるものである。

誤差コンバーゼンス回路を具備した本発明のフラットパネル表示システムを図2に示す。従来技術のシステムと同様に、列及び行ドライバは、画像を生成するための信号をフラットパネルディスプレイに供給する。使用可能なフラットパネルディスプレイの種類は、列ドライバを用いた形態のもので、たとえば能動マトリクス型及び受動マトリクス型のものを使用することができる。行ドライバ及び列ドライバは、各々信号伝送を同期させるタイミング信号が供給される。このシステムの回路には、誤差コンバーゼンス回路20及びセレクタスイッチ12が具備されている。図2に示す特定の実施形態においては、セレクタスイッチはフラットパネルディスプレイに電気的に直結されている。これは、1つの実施形態に過ぎず、本発明の範囲を限定する意味を有するものではない。

セレクタスイッチは、列線及び誤差コンバーゼンス回路の両方と電気的に接続されており、列線を介して伝送される信号をルーティングする多目的スイッチからなる。このセレクタスイッチは、回転方式で特定の列に切り替わり、その信号を誤差コンバーゼンス回路20へ導く。

誤差コンバーゼンス回路の構成要素を図3に詳細に示す。セレクタスイッチ12を通過する画像信号は、誤差測定装置22へ送られる。コントローラ28からの制御信号は、セレクタスイッチをどの列と電気的に接続するかを決定する。誤差測定装置22には、基準電圧26が接続されている。図示実施形態における誤差測定装置は、比較器からなり、基準電圧はこの比較器の一方のノードに入力され、他方のノードには列からの画像信号が入力される。比較器の出力信号は、列電圧と基準電圧との差からなる誤差電圧である。

誤差測定装置22は、誤差記憶装置24と電気的に接続されている。この記憶装置は、ディスプレイの各列毎または各列グループ毎に誤差電圧値を記憶する。

記憶装置への情報入力は、コントローラ28の制御下で行われ、誤差電圧を生じた列または列グループに従ってメモリ中のアドレスが与えられる。コントローラ28は、マイクロコントローラまたはマイクロプロセッサ型のデバイスである。

マイクロコントローラは、誤差メモリ機能を実装するために使用できるスクラッチパッドメモリを具備することも可能である。コントローラ28の一つの機能は、情報の流れを誤差メモリへ振り向け、あるいは誤差メモリからの情報の流れを振り分けることである。誤差信号がコントローラによって誤差記憶装置24から直接読み出される図示実施形態においては、誤差信号は、ある関数、たとえば利得係数によって調整されてから、誤差補正装置29に送られた後、生ビデオストリームと同期してリアルタイムで読み出される。誤差補正装置には、電圧誤差を除去するためにシステムが必要とする値が記憶される。しかしながら、このシステムの利得が1の場合は、誤差補正装置と誤差メモリは同じでもよく、同じデバイスとして実装することができる。しかし、これら2つのメモリは、誤差コンバーゼンス回路をドライブするのに必要な信号と異なる電圧オフセット及び振幅範囲を持つことが多い。誤差補正装置29から読み出された修正誤差信号は、加算器32を介してビデオストリームに加えられる。加算器32は、デジタルデバイスとして実装することも、アナログデバイスとして実装することも可能である。加算器を用いるのは一つの実装例であり、誤差補正を行うことができるものであれば、加算器に代えて任意の手段を列ドライバの入力に接続することができる。

行列タイミングブロック30は基準タイミング信号あるいは行及び列タイミング信号または同期パルスと呼ばれる基準タイミング信号の誘導信号を出す。ディスプレイの行列タイミングは、V、H及びPで示す3つの信号をアクセスすることによって取られる。Vは、走査時に画像の最下行に達したこと、そして画面の一番上から走査を開始し、画像を上から下へリフレッシュするタイミングであるということをシステムに知らせる最上行パルスである。H信号は、水平方向でVと同様の機能を果たし、画面の右端に達したこと、そして左端に戻って新しい行の走査を開始するタイミングであるということをシステムに知らせる行端クロック

クである。P信号は、ピクセルクロックの略号で、生ビデオストリームが水平方向の場合に、画面の左縁からピクセルのカウントを開始するタイミングを指示する。上に述べたように、この信号は列位置を正確に求めるために使用される。コントローラは、これらの信号を用いて、所与の瞬間にどの列線が何ボルトの電圧であるべきかを決定する。たとえば、生ビデオストリームがコントローラに送ら

れると、コントローラは、全ての位置について、各列に何ボルトの電圧があるべきかを決定することができる。これは、基準信号ブロックまたは誤差補正ブロック29をドライブするために用いられる。

上記の同期信号の使い方を理解し易くするために、フラットパネルディスプレイの動作中に、アクティブになった特定ピクセルの位置を決定し、識別する方法を図4のタイミング図を参照して説明する。このタイミング図は、幅5列×高さ2行のフラットパネル画面の場合示したものである。当技術分野においては周知のように、多くのフロッピィディスプレイは数100万個のピクセルを有し、図示のディスプレイは、単に説明の便宜上簡略化した例を示したものでしかない。

本発明のシステムにおいては、タイミングパルスまたは同期パルスのレベル遷移は、ディスプレイの画像の走査においてある点に達したこと、及び画面上のもう一つの点から走査を開始すべきであるということを指示する。行端クロックのハイパルスは、左からカウントを再開できるよう行カウンタをリセットする。同様に、最下行パルスは、画面の最下行に達したとき行カウントをリセットする。列カウンタと行カウンタとの組合せによって、ある特定時点で走査されている特定ピクセルを同定することができる。

電圧補正を行うための最初のステップは、それぞれ特定の列について誤差信号を得ることである。それには、セレクタスイッチを用いて、測定する列に接続を切り替え、それらの各列の画像信号を測定して、期待値と比較する。セレクタスイッチは、測定装置と組み合わせた時相互に対して低いオフセット電圧しか呈しないスイッチングデバイス技術を用いたものでなければならない。各列グループに取り付けられたスイッチ素子のオフセットは、絶対値で、あるいは相互に対しても約6ミリボルト以下でなければならない。図示実施形態においては、この要求

を満たすために、MOSFETスイッチングデバイスを使用している。入力と出力の間のオフセットが6ミリボルトよりはるかに小さくなるような設計を行うことも可能である。このような低オフセット電圧のMOSFETスイッチングデバイスとしては、たとえば、グールド(Gould)社の設計、製造になるスイッチを使用することができる。

本発明の一実施形態においては、各列の誤差信号はビデオストリームが黒の期間中に発生させる。アブリオリ情報(a Priori information)が、何ボルトが黒の画像に対応するかを決定する。基準電圧26Vは、一定の黒ビデオ電圧レベル時に供給することができ、列電圧のサンプリングは、ビデオが黒であることが知られている水平及び／または垂直同期期間中に行うことができ、黒ビデオ電圧レベルは、フラットパネルに印加されるバックプレーン電圧に対して通常ゼロボルトである。システムを電圧レベルがゼロ(黒ビデオ)である固定された期間中に誤差を測定するような形態で実装する場合は、コントローラへの生ビデオストリームの転送は不要である。

本発明の他の実施形態においては、誤差信号は、ディスプレイの正常動作時に特別なグレーシェードを用いて測定することができる。グレーシェードを用いる場合、次の2つの方法で対処することができる：1) テスト信号を観察者に可視にする方法、及び2) テスト信号を観察者に不可視にする方法。

上記の第1の方法では、テストグレーシェードを見ることができる。選択されたグレーシェードが表示画像の要素になっていないと、表示画像が乱れたものとなることがある。ある特定グレーレベルについて、画面上での1点を選ぶと、間もなくグレーシェードが現れ、その点及び位置に対応する列ドライブをサンプリングすることができる。これは、ディスプレイパネルに入るビデオストリームがコントローラに供給され、そのビデオ信号の部分が時間的に少なくとも1行走査時間(1024×1024 ピクセルディスプレイの場合で16マイクロ秒、これは好適な一例の値で、必ずしもこの値である必要はない)だけ上流側にある時可能である。コントローラは、入来ビデオストリームを監視することができれば、正しい列ドライブ出力を選択して測定するようスイッチを設定し、測定結果を評

値することができる。コントローラは、テストをセットアップするためのアプリオリ情報を有する。

上記の第2の方法では、目的は、画面上に表示される画像の一部のことともあればそうでないこともある任意に選択された電圧を用いてテスト信号を観察者に見えなくすることである（これは実際には上記の方法を用いて行うことができる）。この場合は、電圧レベルを画面上で1行走査時間またはフレーム時間（通常それぞれ1.6マイクロ秒及び1.6ミリ秒）あるいは視覚的に気にならないこれらと同

程度の短い期間だけ見ることができる。もう一つの方法は、垂直ブランク期間中に既知の電圧を印加するやり方である。テスト電圧が印加されている間は、行を選択しないように行信号をホールドすることも可能である。これは、選択解除モードとして知られている。多くの形態のディスプレイの場合、行選択解除電圧は能動マトリクスでは-1.5ボルト、受動マトリクスでは v_{cutoff} または約1.5ボルトである。 v_{cutoff} は液晶をその休止状態からアクティブにするには不十分なエネルギーを供給する電圧である。

ブランкиング期間中は、黒ビデオ電圧が印加されるか、または最後に表示された電圧がそのまま維持される。この方法では、代わりに、測定しようとするターゲット電圧をアサートにし、その行のアクティブドライバレベルを取り去ることによってそのターゲット電圧を見えない状態に保つ。最新の行ドライバは、これができるように変更することができ、また好ましい実施形態では、普通のドライバをそのまま使用できるようにドライブすることができる。これは、現在使用可能な制御信号を用いて、行ドライバがアクティブ状態、すなわち能動マトリクスで1.0ボルト、受動マトリクスで v_m のような正の電圧から選択解除されるということを意味する。

このために用いるのに好適な制御信号は、クロック信号及びデータイン信号である。クロック信号は、データイン信号からのギャロップする“1”（オン状態論理レベル）を行ドライバ（シフトレジスタの後にパネル用の電圧範囲にするためのレベル変換器と、行線に接続されていてパネルをドライブする増幅器／スイ

ッチを接続したもの)を介して移動させる。最上行から最下行までシフトレジスタを介して“1”を歩進させることによって、クロック及びシフトレジスタはパネルで各行または一对の行を次々にアクティブにする。データイン信号は画面の最上行で1行走検査時間の間“1”にセットされ、その後走査が画面の最上行に戻るまで“0”に下げられる。

誤差信号を発生させるために使用する方法に関わらず、比較によって得られるこれらの誤差信号はメモリに記憶され、アブリオリ情報用いて、誤差信号及びシステムの直流及び交流の電気光学的利得の関数である袖正関数が設定される。これらの利得は、温度、画像コヒーレンス、タイミング、経年劣化、液晶材料

偏光子及びドライバオフセットの関数である。コントローラは、これらの修正を行い、修正された誤差信号を誤差補正装置に記憶する。ディスプレイの動作時にある特定の列またはドライバがドライブされると、コントローラはその列またはドライバに関する修正誤差信号を取り出し、該修正誤差信号は加算器または他の適切な経路を介して生ビデオストリームと結合される(通常セレクタ型のドライバには基準電圧が供給される)。

本発明の動作は、次の例によってより良く理解することができる。フラットパネルディスプレイの初期段階においては、ビデオ信号は黒で、このことはその列で測定される電圧は0ボルトのはずであるということを意味する。しかし、たとえば、列Nが60ミリボルトで、セレクタスイッチのオフセットが4ミリボルトであると、電圧測定手段は列Nについて電圧を64ミリボルトと測定する。このとき、記憶装置は、列Nについて64ミリボルトを誤差電圧として誤差メモリに記憶する。次に、コントローラは、現在の垂直同期期間中または多くの期間にわたって次の列を測定し、全ての列または列グループについて誤差電圧を完全リストの形に記憶する。

コントローラは、これらの誤差値に適切な利得関数を適用する。たとえば生ビデオストリームが1ピクセル毎に2ボルトの電圧の場合に、列ドライバは、出力が±10ボルトになるようその電圧を±5の増幅度で増幅する。極性は、液晶に

電気メッキ作用が生じるのを防ぐために、奇数／偶数フレームドライブの間数になっている。コントローラは、アプリオリ情報によって、偶数フレームならば、それが偶数フレームであること、そしてシステム利得及び極性が正であることを知る。そのため、この偶数列についての利得は+5で、加算器に入力すべき誤差は-64/5ミリボルトとなる。誤差補正装置29は、-64/5の値を受け取り、その値は列Nに対応する記憶セルに記憶される。ディスプレイの動作時には、誤差補正装置のテーブル7が生ビデオストリームと同期して読み出される。そして、列Nについての誤差は直接加算器に読み込まれ、加算器で調整が行われる。加算器は、-64/5+生ビデオ信号の電圧を列ドライバに供給する。具体的なタイミング要素及び実装形態は、各システムの最適化条件（コスト、電力消費、サイズ集積化のレベル）に左右される。

セレクタスイッチ12と列ドライバの間の相互関係を図5に詳細に示す。当技術分野では周知のように、列ドライバは一連のドライバICよりなる（ドライバをパネルに一体化して作り込む新しい技術が生まれつつある）。ドライバIC42～48は、フラットパネルディスプレイ2の所定数の列上に画像信号を供給する。次に、各ドライバICは、列ドライバ内の他の動作用電子回路にも接続されている。本発明の第1の実施形態においては、セレクタスイッチは、各ドライバICに接続された1つのドライバだけと電気的に接続されている。この構成では、各ドライバICに接続された列が、個々のドライバIC内にあるスイッチ素子のためにほぼ同じオフセットを呈するという長所がある。各ICに毎に1列だけ電圧オフセットを測定することによって、そのIC内の他の列について電圧誤差の正確な表現を得ることができる。この設計は、全ての列からセレクタスイッチ12へ線を接続する必要がないので、簡単である。

図6に本発明の第2の実施形態を示す。この特定の実施形態においては、誤差測定線が個々のIC（または集積ドライバ上のドライバアレイ）の各列に接続されている。この実施形態は、精密な補正が要求される用途の場合に、精密な誤差電圧制御を可能にする。セレクタスイッチは、各ドライバICの各列からの複数の入力をさばくことができるようになっている。

以上、本発明の新規かつ非自明の誤差コンバーゼンス回路について説明した。
 本願出願人は、上記説明によって本発明を限定しようとするものではなく、本発明は特許請求の範囲の記載によって限定されるものである。

【図1】

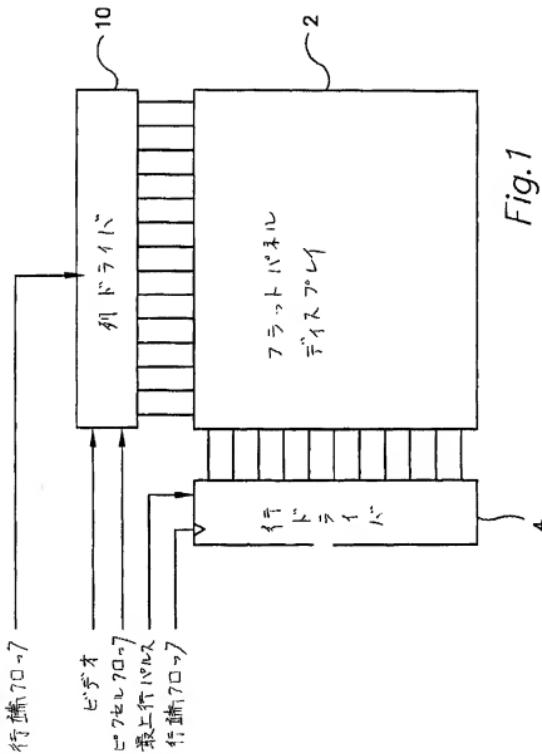


Fig. 1

【図2】

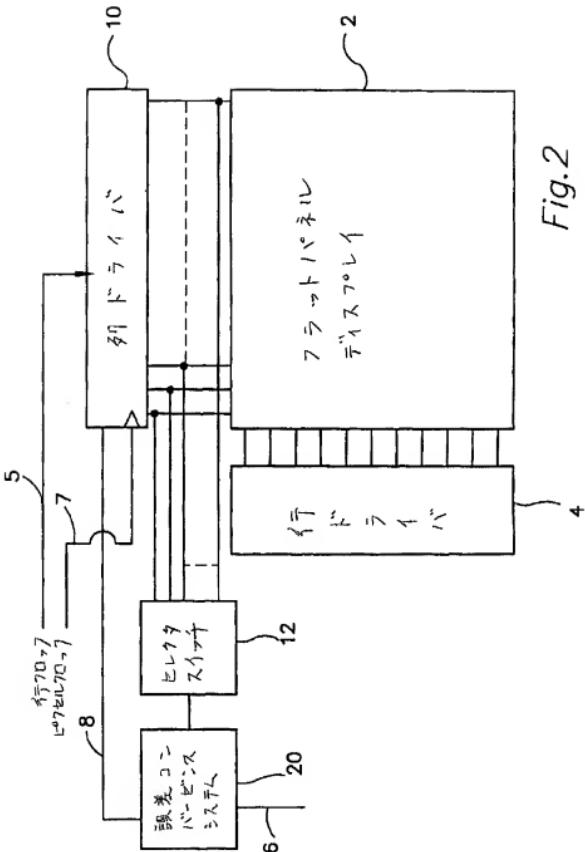


Fig. 2

【図3】

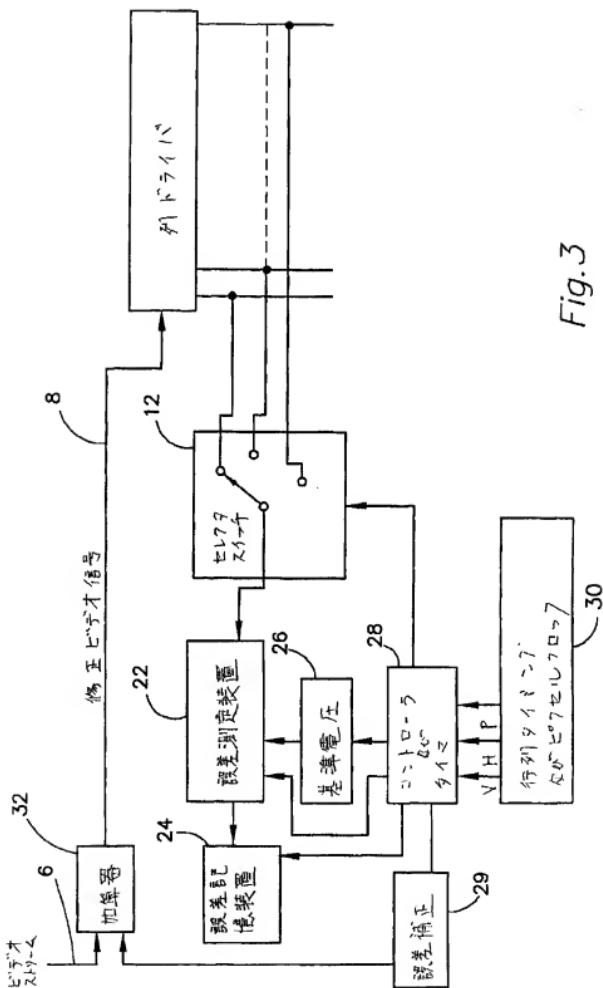


Fig.3

【図4】

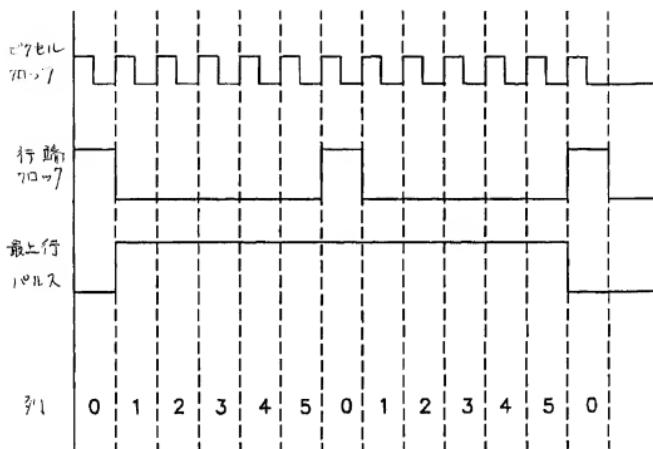


Fig. 4

【図5】

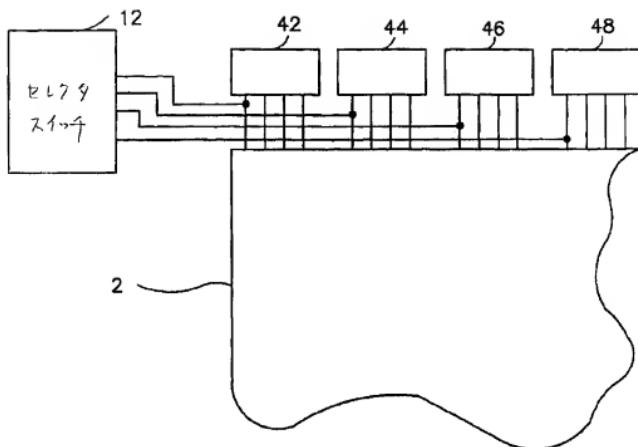


Fig. 5

【図6】

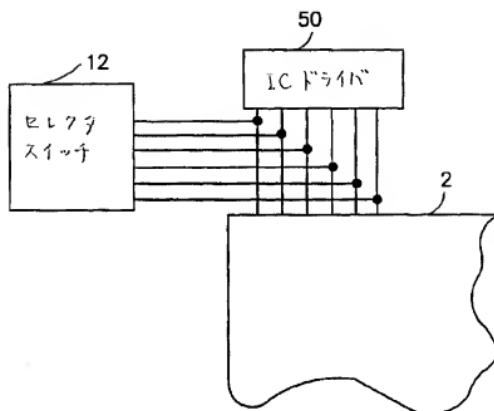


Fig. 6

【手続補正書】特許法第184条の8

【提出日】1996年8月29日

【補正内容】

補正明細書

を有する。ディスプレイの動作中は、様々な発生源から電圧誤差が列線に入り込む。ドライバ中の全ての電子部品は、列線上に送り出される信号にたとえ僅かでも電圧を附加する可能性がある。異なるICは、互いに異なる一組の列をドライブするので、IC間の僅かな差違でも列上を伝達される電圧レベルに差を生じ得る。

たとえば、20ボルト信号でドライブされたときピークグレー（白）となる直線状パネルがあると仮定する。このようなディスプレイの場合、線が約0.12ボルト低い電圧でドライブされた場合に最小可知差異（just noticeable difference JND）が現れると思われる。この値は、人間の視覚モデルから導き出すことができる。このようなモデルによると、黒を表示する場合、あるJNDを得るのに必要な輝度変化が小さいので、最悪の事態が起こる。その輝度は、列線を黒の場合より0.006ボルト高い電圧でドライブすることに相当する。要求される性能条件は、グラフィックスの場合で、電圧許容誤差が0～18ボルトの範囲において±3ミリボルトであるということを前提としている。この許容誤差範囲に従うことは、特に、ドライバに使用される標準的なCMOSオペアンプは通常±150ミリボルトのオフセットを呈するということから見て困難であろう。スイッチアレイ及び精密級電圧源を用いたドライバによる方法が最も優れた方法になっているが、この方法も、グレースケールがアナログのそれに近づく（すなわちグレーレベル数が多くなる）につれて、うまく対応できなくなっている。従って、液晶ディスプレイ用の電子回路設計における目標は、ドライバの動作範囲全体にわたって誤差電圧をなくすか、または大幅に低減することである。

日本国特許第JP52654405号には、フラットパネルディスプレイにおけるドライバの誤差補正を行うためのシステムが開示されている。このシステムでは、各ドライバの誤差を垂直同期期間中に測定し、その値をメモリに記憶する。そして、各ドライバがアクティブのときに、適切な大きさの電圧をその値から

減じるようになっている。

本発明の目的は、液晶ディスプレイの電圧オフセット補償手段を提供することにより、ディスプレイの動作範囲全体にわたってストリーキングが生じないよう

にすることにある。

発明の概要

本願は、フラットパネルディスプレイ用の誤差コンバーザンス回路を開示するものである。本発明の誤差コンバーザンス回路は、ビデオ信号を受け取り、液晶マトリクス中の個々の画素用の画像信号を列線を介して送り出す列ドライバを有するフラットパネルディスプレイに実装される。

補正請求の範囲

1. ビデオ信号列ドライバ入力を受け取って画像信号をフラットパネルディスプレイのピクセル列に供給する複数の列ドライブ手段を有するフラットパネルディスプレイに対して複数モードで電圧誤差補償を行う、列ドライブ手段から画像信号を個別に読み出すセレクタスイッチを有するコンバーザンス回路であって、

フラットパネルディスプレイが動作するモードに従って変えることができ、基準信号を出力する基準電圧源と、

その基準信号と上記画像信号を比較して誤差信号を出力する比較手段と、

上記列ドライブ手段により出力される上記画像信号と基準信号との差に比例する誤差信号をその誤差信号が発生した列ドライブ手段に対応するアドレスに従って記憶する第1のメモリ手段と、

現在ビデオ信号によってドライブされている列ドライブ手段に対応する誤差信号を上記第1のメモリから取り出し、上記ビデオ信号の列ドライブ入力の利得に従って上記誤差信号を修正する手段と、

その修正信号を上記ビデオ信号の列ドライバ入力と結合して、ドライブ手段の中の1つによりドライブされている列について電圧誤差補償を行う手段と、を具備したコンバーザンス回路。

2. 上記ドライブ手段が上記画像信号をピクセル列に供給する前にバッファに記

憶し、上記基準電圧源が所望の強度の基準信号を出力するように変えられ、上記画像信号が上記バッファ中にある間に所望強度を有する画像信号を指定し、この信号がピクセル列に供給されるとき、それを用いて誤差補償を行う請求項1記載のコンバーゼンス回路。

3. 上記基準信号と上記画像信号との比較を1フレーム分の画像情報について行う請求項1記載のコンバーゼンス回路。

4. 上記修正信号を上記ビデオ信号列ドライバ入力に加える加算器をさらに具備した請求項1記載のコンバーゼンス回路。

5. マイクロコントローラまたはマイクロプロセッサを用いて、上記セレクタスイッチを制御し、上記メモリに記憶された誤差信号にアドレスを指定し、その誤

差信号に比例する上記修正誤差信号を発生し、その修正誤差信号を第2のメモリ手段に記憶し、上記ビデオ信号列ドライバ入力及び現在ドライブされているドライブ手段と同期して上記加算器に供給する請求項4記載のコンバーゼンス回路。

6. 上記誤差信号が発生し、上記第1のメモリ手段に記憶されるとき、上記基準電圧源がゼロボルトであり、上記ビデオ信号列ドライバ入力がそれに対応したレベルになる請求項5記載のコンバーゼンス回路。

7. 上記セレクタスイッチが液晶ディスプレイの全ての列に各々接続されている請求項1記載のコンバーゼンス回路。

8. 上記セレクタスイッチが上記各ドライブ手段の1列に接続されている請求項1記載のコンバーゼンス回路。

9. 上記フラットパネルディスプレイが能動マトリクス型である請求項1記載のコンバーゼンス回路。

10. 上記フラットパネルディスプレイが能動マトリクス型である請求項1記載のコンバーゼンス回路。

11. ビデオ信号列ドライバ入力を受け取ってフラットパネルディスプレイのピクセル列に画像信号を供給する複数の列ドライブ手段を有するフラットパネルディスプレイの誤差信号を低減するための、上記フラットパネルディスプレイのピクセル列を何本か指定して監視する第1のステップを具備した方法において、

フラットパネルディスプレイがどのモードで動作しているかに従って変えることができる基準信号を供給するステップと、

ドライブされている上記第1のステップで指定されたピクセル列上の信号の大きさを上記基準信号と比較し、ドライブされているピクセル列上の信号と基準信号との差である誤差信号を発生するステップと、

上記誤差信号をドライブされているピクセル列に対応づけられたアドレスによって第1のメモリに記憶するステップと、

フラットパネルディスプレイの動作中に、上記メモリから誤差信号を取り出し、その誤差信号を上記ビデオ信号のドライバ入力の利得に従って修正するステップと、

その修正誤差信号を第2のメモリに記憶するステップと、

上記誤差信号に対応する特定のピクセル列がドライブされている間に上記修正誤差信号を上記第2のメモリから取り出し、ビデオ信号列ドライバ入力に加えるステップと、

をさらに具備した方法。

12. フラットパネルディスプレイが動作中でなく、上記ビデオ信号列ドライバ入力が既知の値である所定のテスト期間中に上記誤差信号を発生させる請求項1記載の方法。

13. 上記ビデオ信号列ドライバ入力が上記テスト期間中対応するレベルにあるとき、上記基準信号がゼロボルトである請求項12記載の方法。

14. 上記誤差信号を列信号に等しいレベルに設定し、上記誤差信号を発生させるために使用した列信号をフラットパネルディスプレイ上に生成される画像に反映させる請求項12記載の方法。

15. 上記基準信号が上記指定されたピクセル列上の信号の大きさに対応する請求項14記載の方法。

16. 上記各ドライブ手段のピクセル列の中の1列を指定して監視する請求項12記載の方法。

17. 上記各ドライブ手段の各ピクセル列を指定して監視する請求項12記載の

方法。

18. 上記誤差信号を、フラットパネルディスプレイ上に生成される画像上で視覚的に気にならないよう、フラットパネルディスプレイの動作中短い期間だけ発生させる請求項12記載の方法。

【国际調査報告】

INTERNATIONAL SEARCH REPORT

Inter. Appl. No.
PCT/US 95/08892

A. CLASSIFICATION OF SUBJECT MATTER IPC 6 G09G3/36		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Narrower documentations searched (Classification system followed by classification symbols) IPC 6 G09G		
Documentation searched other than narrower documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Character of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	PATENT ABSTRACTS OF JAPAN vol. 18 no. 35 (P-1678), 19 January 1994 & JP,A,05 265405 (FUJITSU LTD.) 15 October 1993, see abstract	1-4, 9, 13, 15
A	EP,A,0 462 333 (INTERNATIONAL BUSINESS MACHINES CO.) 27 December 1991 see column 4, line 23 - column 5, line 29 see column 6, line 8 - line 33 see figures 4, 7	1-5, 13, 15
A	EP,A,0 570 001 (K.K. TOSHIBA) 18 November 1993 see page 12, line 32 - line 49 see figures B-10	1, 13
A	EP,A,0 551 910 (K.K. TOSHIBA) 21 July 1993	
<input type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.
<p>* Special categories of cited documents :</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubt on priority claim(s) or which may indicate prior publication date of another claim(s) or other special reasons (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>		
Date of the actual completion of the international search	Date of mailing of the international search report 22.11.95	
15 November 1995		
Name and mailing address of the DPA European Patent Office, P.O. 5018 Patentam 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 631 quo nr. Fax (+31-70) 340-3016	Authorized officer Farricella, L	

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.
PCT/US 95/08892

Patent document cited in search report	Publication date	Patent family member(s)		Publication date
EP-A-462333	27-12-91	DE-D-	69012110	06-10-94
EP-A-570001	18-11-93	JP-A- US-A-	6180564 5434599	28-06-94 18-07-95
EP-A-551910	21-07-93	JP-A- US-A-	5189994 5396123	30-07-93 07-03-95